

Semestrální projekt z předmětu X36LOB

-

Syntéza konečného automatu užitím synchronního sekvenčního obvodu

Autor: Jan Skalický (2/41)

18.12.2005

1. Zadání

- I. Pomocí synchronního sekvenčního obvodu realizujte konečný automat se dvěma vstupy a, b a jedním výstupem z, zadaný následující tabulkou přechodů a tabulkou výstupů. Minimalizujte počet vnitřních stavů a použijte vhodné zakódování vnitřních stavů. Výsledné schéma implementujte v Xilinx ISE a nahrajte do přípravku XCRP. Vstupy ovládejte přepínači, výstup a všechny vnitřní proměnné vyvedte na LED diody. Pro hodinový signál a signál reset (použijte klopné obvody s asynchronním nulováním) použijte tlačítka. Správnost návrhu ověřte na přípravku podle tabulky přechodů a výstupů.

\ba\	tabulka přechodů			tabulka výstupů		
	00	01	10	00	01	10
Q0\	Q7	Q1	Q8	1	1	0
Q1\	Q12	Q8	Q3	1	0	0
Q2\	Q1	Q8	Q8	1	0	0
Q3\	Q5	Q8	Q8	1	0	0
Q4\	Q9	Q8	Q8	1	0	0
Q5\	Q0	Q8	Q4	1	0	0
Q6\	Q9	Q3	Q0	1	0	1
Q7\	Q4	Q8	Q2	0	0	1
Q8\	Q10	Q6	Q11	1	0	1
Q9\	Q12	Q8	Q3	1	0	0
Q10\	Q1	Q2	Q12	1	0	1
Q11\	Q12	Q8	Q3	1	0	0
Q12\	Q7	Q11	Q8	1	1	0

Použijte klopné obvody typu J-K (FJKC) .

1. Použijte buď NAND nebo NOR hradla.
 2. Vnější vstupy máte k dispozici pouze v přímé formě.
 3. Zpoždění obvodů pro hradla i pro klopné obvody naleznete v přednáškách.
- II. Stanovte maximální možnou hodinovou frekvenci za předpokladů: Vstupní stavy obvodu se mění pouze v intervalu $< T, T + 3 \text{ ns} >$, kde T jsou okamžiky příchodu záporné hrany hodinových pulzů. Správný výstupní stav musí trvat po dobu nejméně 3 ns.

2. Minimalizace počtu vnitřních stavů

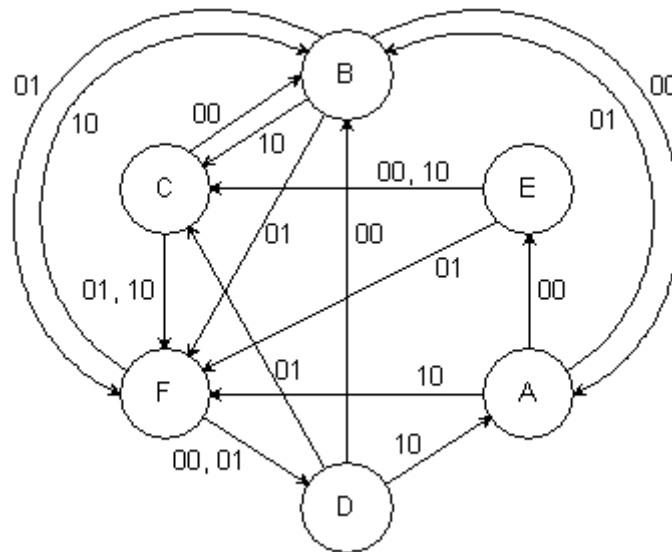
Pro nalezení ekvivalentního rozkladu a vyloučení redundantních stavů použijeme “rohovou” implikační tabulku, ze které postupně vylučujeme stavy, které nejsou zaměnitelné:

Q_1	X												
Q_2	X	$1=12$ $3=8$											
Q_3	X	$5=12$ $3=8$	$1=5$										
Q_4	X	$9=12$ $3=8$	$1=9$	$5=9$									
Q_5	X	$0=12$ $3=4$	X	X	X								
Q_6	X	X	X	X	X	X							
Q_7	X	X	X	X	X	X	X						
Q_8	X	X	X	X	X	X	X	X					
Q_9	X	OK	X	$5=12$ $3=8$	$9=12$ $3=8$	$0=12$ $3=4$	X	X	X				
Q_{10}	X	X	X	X	X	X	$0=12$ $1=9$ $2=3$	X	X	X			
Q_{11}	X	OK	X	$5=12$ $3=8$	$9=12$ $3=8$	$0=12$ $3=4$	X	X	X	OK	X		
Q_{12}	$1=11$	X	X	X	X	X	X	X	X	X	X	X	X
	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Q_9	Q_{10}	Q_{11}	
redukci	1	3	2	0 (1)	0	0 (2)	1	0	0	0 (1)	0	0	

Počet původních 13 stavů je možno redukovat na $13 - (1+3+2+0+0+1+0+0+0+0+0) = 6$ tříd ekvivalentních stavů. Mapování původních stavů na nově vzniklé třídy je obsaženo v následující tabulce:

Q_A	X												X
Q_B		X				X				X		X	
Q_C			X	X	X								
Q_D							X				X		
Q_E								X					
Q_F									X				
	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Q_9	Q_{10}	Q_{11}	Q_{12}

Graf přechodů nového automatu je:



a redukovaná tabulka přechodů a výstupů (vstupní proměnné jsou Y, X v tomto pořadí):

State	Q_{i+1}				Out			
	Y X				Y X			
	00	01	10	11	00	01	10	11
Q_A	Q_E	Q_B	Q_F	X	1	1	0	X
Q_B	Q_A	Q_F	Q_C	X	1	0	0	X
Q_C	Q_B	Q_F	Q_F	X	1	0	0	X
Q_D	Q_B	Q_C	Q_A	X	1	0	1	X
Q_E	Q_C	Q_F	Q_C	X	0	0	1	X
Q_F	Q_D	Q_D	Q_B	X	1	0	1	X

3. Zakódování vnitřních stavů

K zakódování 6 různých vnitřních stavů je třeba min. 3 binárních číslic – proměnné A, B, C. Vlastní zakódování jsem provedl metodou Dollota-McCluskey. Počet kódotvorných sloupců k ohodnocení pro jednotlivé přechody je pro $r = 6$ stavů a $n = 3$ bitů:

$$C(r, n) = \sum_{i=r-1-2^{n-1}}^{2^{n-1}-1} \binom{r-1}{i} = \binom{5}{1} + \binom{5}{2} + \binom{5}{3} = 5 + 10 + 10 = 25$$

Po provedení ohodnocení všech platných kombinací kódů jsem obdržel okódování s nejvyšším skóre 28 (8 (samé 1 v přechodu) + 4 (sloupec přechodu jako komplement již vybraného) + 16 (sloupec přechodu jako v již vybraném)), které sestává s čísel 19, 30, 24 v inverzním kódu (podrobné tabulky se sloupci a jejich ohodnocením zde nemá smysl uvádět).

Okódování tříd stavů užitím 3 proměnných A, B, C tedy vypadá:

State	C (19)	B (30)	A (24)
Q _A	0	0	0
Q _B	1	1	1
Q _C	0	1	1
Q _D	0	1	0
Q _E	1	1	0
Q _F	1	0	0

a nyní můžeme zakódovat celou tabulku automatu (výstupní proměnná je Z):

State			Q_{i+1}												Out				
In			Y X												Y X				
			00			01			10			11			00		01		10
C	B	A	C	B	A	C	B	A	C	B	A	C	B	A	Z	Z	Z	Z	
0	0	0	1	1	0	1	1	1	1	0	0	X	X	X	1	1	0	X	
1	1	1	0	0	0	1	0	0	0	1	1	X	X	X	1	0	0	X	
0	1	1	1	1	1	1	0	0	1	0	0	X	X	X	1	0	0	X	
0	1	0	1	1	1	0	1	1	0	0	0	X	X	X	1	0	1	X	
1	1	0	0	1	1	1	0	0	0	1	1	X	X	X	0	0	1	X	
1	0	0	0	1	0	0	1	0	1	1	1	X	X	X	1	0	1	X	

4. Budící funkce K-O a výstupní funkce

Zakódovanou tabulku přechodů lze jednoduše převést do Karnaughových map pro jednotlivé logické funkce a následně nalézt jejich vyjádření pomocí přímých implikantů ve formě MNDF. Pro 3 proměnné a klopné obvody J-K je třeba vyjádřit 6 vnitřních funkcí a pro 1 výstupní proměnnou 1 výstupní funkci:

- Budící funkce proměnné A: (0, 1 ... “silný” přechod; 0, 1 ... “slabý” přechod)

		C							
		B				A			
		A		A		A		A	
		0	X	1	1	1	0	X	0
X	X	1	X	0	1	0	0	X	0
Y	X	X	X	X	X	X	X	X	X
Y	Y	0	X	0	0	1	1	X	1

$$J_A = CY + \bar{C}X + B\bar{X}\bar{Y}$$

$$K_A = \bar{C}Y + X + C\bar{Y}$$

- Budící funkce proměnné B: (0, 1 ... “silný” přechod; 0, 1 ... “slabý” přechod)

		B				C			
		A		A		A		A	
		1	X	1	1	1	0	X	1
X		1	X	0	1	0	0	X	1
Y	X	X	X	X	X	X	X	X	X
Y		0	X	0	0	1	1	X	1

$$J_B = \bar{Y} + C$$

$$K_B = AC\bar{Y} + AX + CX + \bar{C}Y$$

- Budící funkce proměnné C: (0, 1 ... “silný” přechod; 0, 1 ... “slabý” přechod)

		B				C			
		A		A		A		A	
		1	X	1	1	0	0	X	0
X		1	X	1	0	1	1	X	0
Y	X	X	X	X	X	X	X	X	X
Y		1	X	1	0	0	0	X	1

$$J_C = \bar{X}\bar{Y} + \bar{B} + A$$

$$K_C = B\bar{X} + \bar{B}\bar{Y}$$

- Výstupní funkce:

		B				C			
		A		A		A		A	
		1	X	1	1	0	1	X	1
X		1	X	0	0	0	0	X	0
Y	X	X	X	X	X	X	X	X	X
Y		0	X	0	1	1	0	X	1

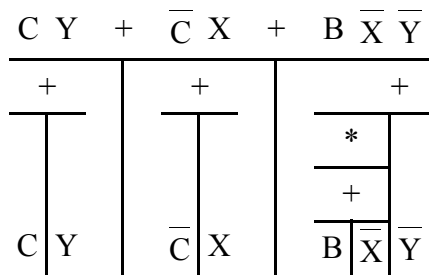
$$Z = \bar{C}\bar{X}\bar{Y} + \bar{B}\bar{C}X + \bar{A}BY + \bar{B}CY + \bar{B}C\bar{X} + A\bar{X}\bar{Y}$$

pozn.: V případě sporných implikantů jsem volil takové, abych maximalizoval počet společných termů nebo jejich částí, což minimalizuje cenu návrhu. Implikanty, které se opakují ve více funkcích jsou: $B\bar{X}, C\bar{Y}, \bar{C}Y, \bar{X}\bar{Y}, \bar{B}C$.

5. Vyjádření funkcí užitím hradel NAND

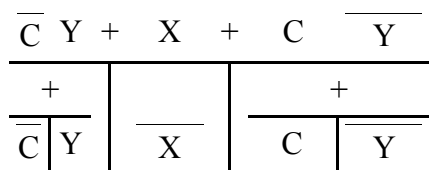
Jedním z požadavků na návrh automatu je užití hradel typu NAND nebo NOR. Budící funkce odvozené v předchozí části lze převést do tvaru s hradly NAND pomocí Rottových mřížek. Implikanty, které se opakují ve více funkcích (viz. výše) jsou preferovány:

- **J_A:**



$$J_A = \text{Nand3}(\text{Nand2}(C, Y), \text{Nand2}(\bar{C}, X), \text{Nand2}(\bar{\text{Nand2}}(B, \bar{X}), \bar{Y}))$$

- **K_A:**



$$K_A = \text{Nand3}(\text{Nand2}(\bar{C}, Y), \bar{X}, \text{Nand}(C, \bar{Y}))$$

- analogicky vychází pro ostatní funkce (po ev. úpravě) výrazy:

$$J_B = \text{Nand2}(Y, \bar{C})$$

$$K_B = \text{Nand3}(\text{Nand2}(A, \bar{\text{Nand2}}(C, \bar{Y})), \text{Nand2}(X, \text{Nand2}(\bar{C}, \bar{A})), \text{Nand2}(\bar{C}, Y))$$

$$J_C = \text{Nand3}(\text{Nand2}(\bar{X}, \bar{Y}), B, \bar{A})$$

$$K_C = \text{Nand2}(\text{Nand2}(B, \bar{X}), \text{Nand2}(\bar{B}, \bar{Y}))$$

$$Z = \text{Nand3}(\text{Nand2}(\bar{C}, \text{Nand2}(\text{Nand2}(\bar{X}, \bar{Y}), \text{Nand2}(\bar{B}, X))), \text{Nand2}(Y, \text{Nand2}(\text{Nand2}(\bar{A}, B), \text{Nand2}(\bar{B}, C))), \text{Nand2}(\bar{X}, \text{Nand2}(\text{Nand2}(\bar{B}, C), \text{Nand2}(A, \bar{Y}))))$$

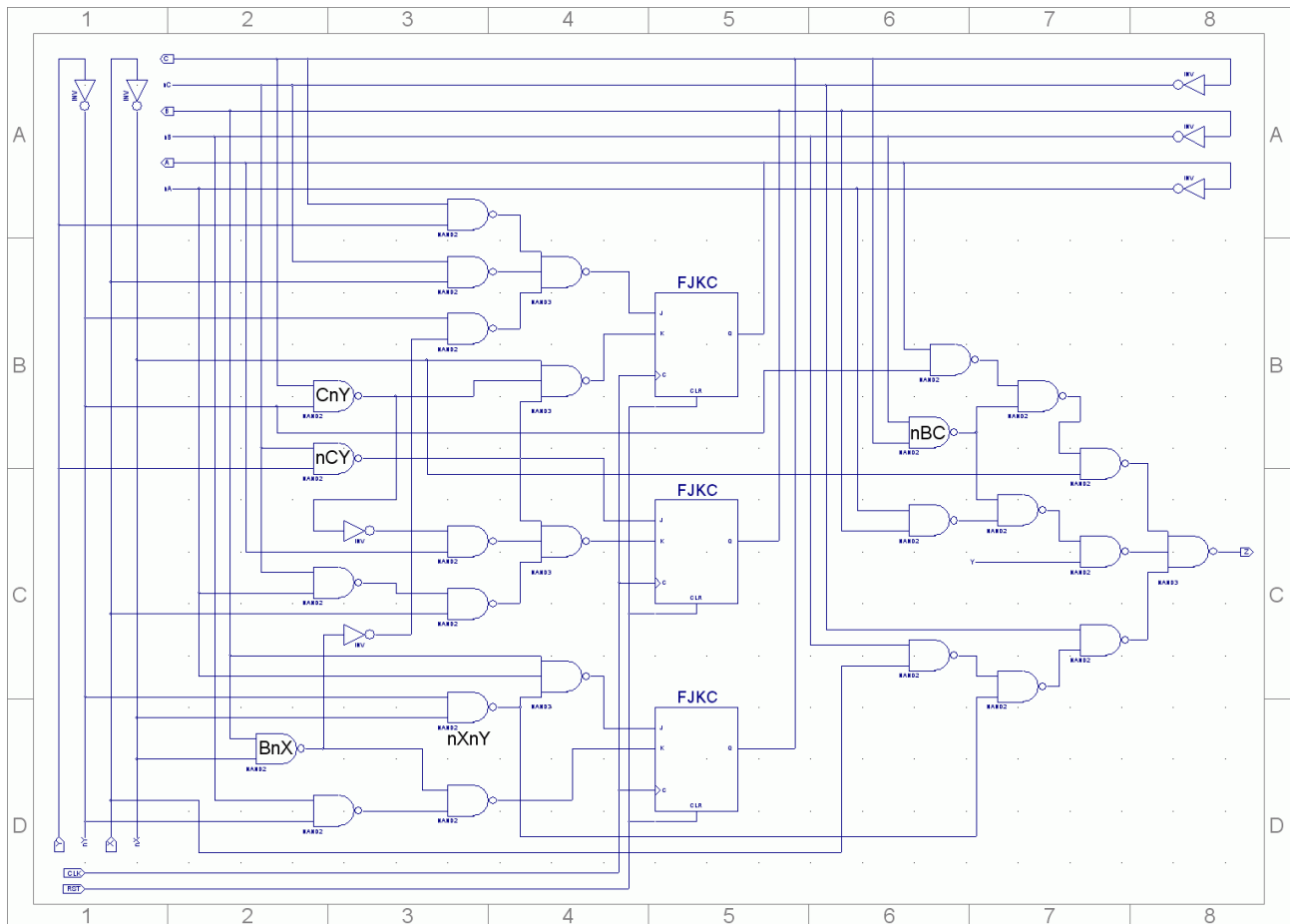
pozn.:

'¬'	...	logická negace
Nand2	...	2-vstupové hradlo NAND
Nand3	...	3-vstupové hradlo NAND

6. Schéma, výpočet max. kmitočtu

Po obdržení budících a výstupních funkcí v požadovaném tvaru je možné zakreslit logický obvod automatu ve formě schématu.

Schéma obvodu z programu Xilinx ISE Webpack:



pozn.: hradla použitá ve více funkcích mají textový popis odpovídající jejich termu

Uzly vyvedené na porty hradlového pole a na I/O zařízení testovacího přípravku XCRP:

- Z – LED dioda č. 1 (P41)
- Y – přepínač 1 (P5)
- X – přepínač 2 (P6)
- RST – tlačítko č. 2 (P44)
- CLK – tlačítko č. 1 (P1)
- C – LED dioda č. 6 (P33)
- B – LED dioda č. 7 (P34)
- A – LED dioda č. 8 (P31)

Výpočet max. hodinové frekvence:

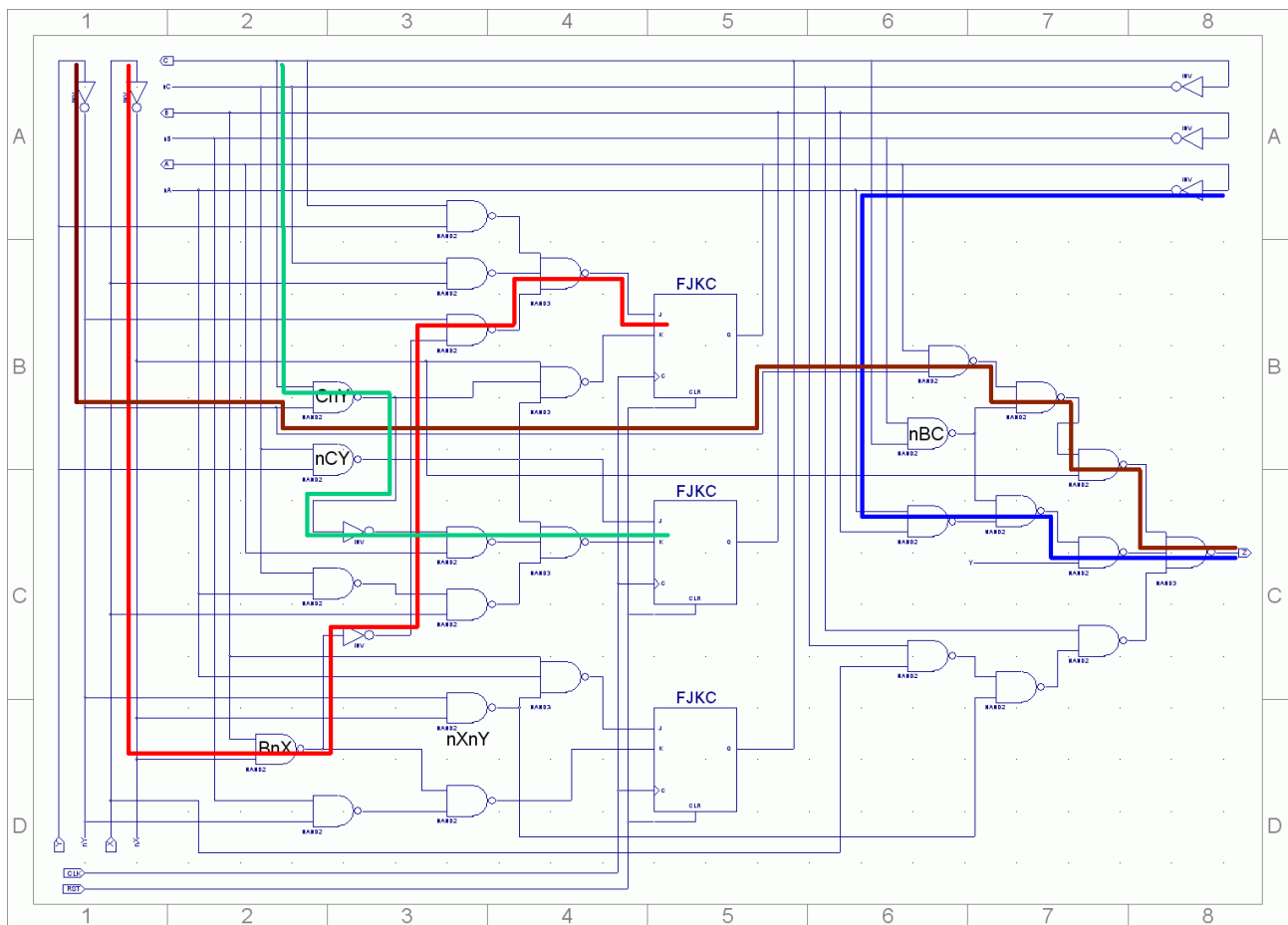
Pro výpočet max. hodinové frekvence tohoto obvodu potřebujeme znát následující parametry:

- zpoždění hradel:
 - NAND2 ... $t_{n2} = 1.4 \text{ ns}$
 - NAND3 ... $t_{n3} = 1.8 \text{ ns}$
 - INV ... $t_{inv} = 1 \text{ ns}$
- zpoždění a setup K-O:
 - JK - zpoždění ... $t_q = 3 \text{ ns}$
 - JK – setup ... $t_{set} = 1 \text{ ns}$
 - JK – celkem ... $t_q + t_{set} = 4 \text{ ns}$
- požadavky na rozhraní:
 - stabilita výstupu ... $t_y = 3 \text{ ns}$
 - ustálení vstupu ... $t_x = 3 \text{ ns}$, měřeno od sestupné hrany hodin

Dále je třeba určit kritické cesty zpoždění signálu v obvodu v rámci 4 různých kategorií a stanovit časy jejich zpoždění:

- W_1 ... **X-to-JK (+ ustálení vstupu obvodu + setup K-O)**
- W_2 ... **Q-to-Y (+ zpoždění K-O + stabilita výstupu)**
- W_3 ... **X-to-Y (+ ustálení vstupu obvodu + stabilita výstupu)**
- W_4 ... **Q-to-JK (+ zpoždění K-O + setup K-O)**

Kritické cesty jsou na následujícím obrázku vyznačeny ve schématu:



$$\begin{aligned}
\text{zde: } W_1 &= t_x + t_{\text{inv}} + t_{n2} + t_{\text{inv}} + t_{n2} + t_{n3} + t_{\text{set}} &= 3 + 1 + 1.4 + 1 + 1.4 + 1.8 + 1 \text{ ns} = 10.6 \text{ ns} \\
W_2 &= t_q + t_{\text{inv}} + t_{n2} + t_{n2} + t_{n2} + t_{n3} + t_y &= 3 + 1 + 1.4 + 1.4 + 1.4 + 1.8 + 3 \text{ ns} = 13.0 \text{ ns} \\
W_3 &= t_x + t_{\text{inv}} + t_{n2} + t_{n2} + t_{n2} + t_{n3} + t_y &= 3 + 1 + 1.4 + 1.4 + 1.4 + 1.8 + 3 \text{ ns} = 13.0 \text{ ns} \\
W_4 &= t_q + t_{n2} + t_{\text{inv}} + t_{n2} + t_{n3} + t_{\text{set}} &= 3 + 1.4 + 1 + 1.4 + 1 + 1.8 \text{ ns} = 9.6 \text{ ns}
\end{aligned}$$

, ovšem vzhledem k tomu, že čas ustálení vstupu t_x se měří od příchodu sestupné hrany hodinového signálu, je nutné ke zpožděním W_1 a W_3 přičíst dobu trvání log. "1" na hodinovém vstupu, což činí polovinu doby celé periody hodin, tozn.:

$$\begin{aligned}
t_{\text{one}} &= t_{\text{clk}}/2 \\
W_{1x} &= W_1 + t_{\text{one}} = 10.6 \text{ ns} + t_{\text{clk}}/2 \\
W_{3x} &= W_3 + t_{\text{one}} = 13.0 \text{ ns} + t_{\text{clk}}/2
\end{aligned}$$

Minimální doba periody hodinového signálu je maximum z uvedených 4 kritických časů, to jest:

$$\begin{aligned}
t_{\text{clk}} &= \max(W_{1x}, W_2, W_{3x}, W_4) \\
t_{\text{clk}} &= \max(10.6 \text{ ns} + t_{\text{clk}}/2, 13.0 \text{ ns}, 13.0 \text{ ns} + t_{\text{clk}}/2, 9.6 \text{ ns}) \\
t_{\text{clk}} &= \max(13.0 \text{ ns}, 13.0 \text{ ns} + t_{\text{clk}}/2)
\end{aligned}$$

, protože $t_{\text{clk}}/2 > 0$, zjednodušeje se nám problém na rovnici

$$\begin{aligned}
t_{\text{clk}} &= 13.0 \text{ ns} + t_{\text{clk}}/2 \\
t_{\text{clk}} &= 26.0 \text{ ns}
\end{aligned}$$

A tudíž maximální možná frekvence hodinových pulzů je zde $1/t_{\text{clk}} = 1/(26.0 \text{ ns}) = \underline{\underline{38.46 \text{ Mhz}}}$

7. Překlad, simulace, implementace

Design byl přeložen v prostředí Xilinx ISE Webpack s tímto výsledkem:

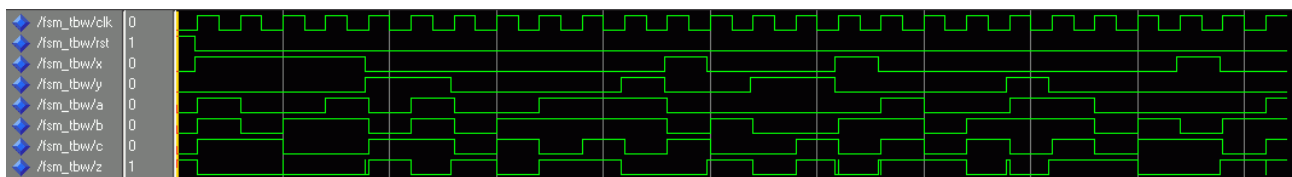
Resources Summary				
Macrocells Used	Pterms Used	Registers Used	Pins Used	Function Block Inputs Used
4	20	3	8	11

Performance Summary	
Min. Clock Period	5.200 ns.
Max. Clock Frequency	192.308 MHz.
Limited by Cycle Time for CLK	
Clock to Setup	5.200 ns.
Pad to Pad Delay	6.000 ns.
Setup to Clock at the Pad	0.000 ns.
Clock Pad to Output Pad Delay	11.200 ns.

Následně jsem provedl simulaci chování obvodu užitím jeho VHDL modelu v programu ModelSim XE III 6.0a. Průběhy vstupních proměnných byly zvoleny tak, aby v rámci co nejmenšího množství hodinových taktů otestovaly funkčnost všech stavových přechodů spolu s validitou výstupní proměnné. Testovací sekvence stavů je:

$A \rightarrow B \rightarrow F \rightarrow D \rightarrow C \rightarrow F \rightarrow B \rightarrow A \rightarrow E \rightarrow C \rightarrow B \rightarrow C \rightarrow F$
 $\rightarrow D \rightarrow A \rightarrow F \rightarrow D \rightarrow B \rightarrow A \rightarrow E \rightarrow C \rightarrow B \rightarrow A \rightarrow E \rightarrow F$

časové průběhy vstupů, výstupů a vnitřních proměnných po simulaci:



8. Závěr

Automat, který jsem navrhl odpovídá zadanému, o čemž se přesvědčíme při fyzické implementaci obvodu do testovacího prostředí XCRP.