

## Řešitelé

Zdeněk Sojka [sojkaz1@fel.cvut.cz](mailto:sojkaz1@fel.cvut.cz)  
Josef Nouzák [nouzal@fel.cvut.cz](mailto:nouzal@fel.cvut.cz)  
Jan Skalický [skalij2@fel.cvut.cz](mailto:skalij2@fel.cvut.cz)

## Zadání

Úloha 11 - Násobení čísel bez znaménka, Mikroprogramový řadič

Navrhněte sério-paralelní dvojkovou násobičku dvou 8-bitových celých čísel bez znaménka.

### Popis chování:

V počátečním stavu čeká obvod na zadání hodnoty násobence A na přepínači **swtch(7:0)**. Platnost hodnoty A je potvrzena stiskem tlačítka **B0**. Následně je obdobně zadána hodnota násobitele B a potvrzena stiskem tlačítka **B1**. Po zadání násobitele je provedeno násobení a výsledek (16 bitů) je zobrazen na LCD a obvod se vrací do počátečního stavu. Stav A a B je zobrazen na sedmisegmentovém displeji.

### Podmínky řešení:

Při realizaci násobičky můžete použít pouze jednu 8-bitovou sčítačku.

## Popis řešení

Vkládaná čísla jsou ukládána do registrů, které jsou zobrazovány na sseg. Výpočet je spouštěn vždy po zadání jakéhokoli čísla. Dočasný registr A je posouván při každém taktu doprava. Příznakové signály jsou nastavovány podle nové hodnoty, čímž se ušetří jeden takt. Podle hodnoty jeho posledního bitu se provede nebo neprovede přičtení registru B do registru výsledku. Registr B je posouván při každém taktu doleva. Násobení končí, když je registr A nulový. Doba násobení je (počet\_jedničkových\_bitů \* 2 + počet\_nulových\_bitů\_před\_kterými\_je\_jednička) taktů. Pokud je registr A nulový, je doba výpočtu pouze jeden takt.

## Dosažené výsledky

Minimum period is 14.855ns. (67.317 MHz)

### Design Summary

```
-----
Number of errors:      0
Number of warnings:    0
Logic Utilization:
  Number of Slice Flip Flops:      149 out of  4,704    3%
  Number of 4 input LUTs:          267 out of  4,704    5%
Logic Distribution:
  Number of occupied Slices:                186 out of  2,352    7%
  Number of Slices containing only related logic:  186 out of   186  100%
  Number of Slices containing unrelated logic:    0 out of   186    0%
    *See NOTES below for an explanation of the effects of unrelated logic
Total Number 4 input LUTs:      293 out of  4,704    6%
  Number used as logic:                267
  Number used as a route-thru:          26
  Number of bonded IOBs:              22 out of   142   15%
```

IOB Flip Flops:		22	
Number of GCLKs:	1 out of	4	25%
Number of GCLKIOBs:	1 out of	4	25%

Number of RPM macros: 1  
Total equivalent gate count for design: 3,252  
Additional JTAG gate count for IOBs: 1,104  
Peak Memory Usage: 132 MB

## **Práce s přípravkem**

Nastavit na switchích hodnotu, zmáčknout but0, nastavit druhé číslo, zmáčknout but1. Na sseg jsou zobrazeny činitele, na LCD je součin.

## **Popis balíčku**

Soubory `*tb.vhd` a `*_bench.vhd` obsahují kód testbenche. Všechny soubory jsou popsány ve své hlavičce.