

Řešitelé

Zdeněk Sojka sojkaz1@fel.cvut.cz
Josef Nouzák nouzaj1@fel.cvut.cz
Jan Skalický skalij2@fel.cvut.cz

Zadání

Úloha 11 – Násobení čísel bez znaménka

Navrhněte sério-paralelní dvojkovou násobičku dvou 8-bitových celých čísel bez znaménka.

1. Implementovat obvod (IP jádro) z první semestrální úlohy pomocí procesoru PicoBlaze.

Pro možnost použití výsledku první semestrální práce jako komponenty bylo vhodné přidat signál značící platný výsledek. Interface zůstal stejný, dokonce i implementace násobičky má funkční výstupy pro případné zobrazení činitelů na sedmisegmentu. Zapojení na 7SEG nebylo provedeno, ale je možné.

Upravené řešení první úlohy je rovněž přibaleno pod názvem Uloh11b.

Jeden výpočet násobení pomocí pBlaze trvá 128 taktů.

2. Porovnat obě implementace jádra. Tzn. implementaci z první semestrální úlohy s implementací pomocí PicoBlaze z druhé semestrální úlohy.

Mikroprogramový řadič

Při vhodném nastavení syntézy bylo dosaženo periody 10.393 ns, což odpovídá hodinové frekvenci 96.219 MHz. Doba násobení je závislá na počtu nejvíce významných nul, může být 1 - 8 taktů po zadání druhé číslice. To představuje 10.4ns - 83.1ns.

Vzhledem k počtu využitých LUT je možné, že pro urychlení byla sčítačka (a mnohá další logika) rozkopírována.

Design Summary

Number of errors: 0

Number of warnings: 0

Logic Utilization:

Number of Slice Flip Flops: 154 out of 4,704 3%

Number of 4 input LUTs: 253 out of 4,704 5%

Logic Distribution:

Number of occupied Slices: 187 out of 2,352 7%

Number of Slices containing only related logic: 187 out of 187 100%

Number of Slices containing unrelated logic: 0 out of 187 0%

*See NOTES below for an explanation of the effects of unrelated logic

Total Number 4 input LUTs: 279 out of 4,704 5%

Number used as logic: 253

Number used as a route-thru: 26

Number of bonded IOBs: 22 out of 142 15%

IOB Flip Flops: 24

Number of GCLKs: 1 out of 4 25%

Number of GCLKIOBs: 1 out of 4 25%

Number of RPM macros: 1

Total equivalent gate count for design: 3,221

Additional JTAG gate count for IOBs: 1,104

Peak Memory Usage: 133 MB

Implementace pomocí PicoBlaze

Nejlepší dosažená perioda je 15.703 ns (63.682 MHz). Toho bylo dosaženo bez aplikace constraints, výsledek by mohl být ještě horší. Samotné násobení trvá 128 taktů nezávisle na činitelích. Výsledek je připraven za 2 us po zadání druhého operandu. To je o dva řády pomalejší než při použití mikrořadiče.

Využití LUT je ale mnohem menší než při použití mikroprogramu, přestože PicoBlaze je mnohem komplexnější procesor. Syntéza měla zřejmě problémy tak složitý prvek efektivně rozmístit - možná to právě komplexnosti a omezenému počtu vrstev není lépe možné.

Nejdelší kombinační cesta vede k nastavení Zero Flag.

Design Summary

Number of errors: 0

Number of warnings: 0

Logic Utilization:

Number of Slice Flip Flops: 59 out of 4,704 1%

Number of 4 input LUTs: 108 out of 4,704 2%

Logic Distribution:

Number of occupied Slices: 75 out of 2,352 3%

Number of Slices containing only related logic: 75 out of 75 100%

Number of Slices containing unrelated logic: 0 out of 75 0%

*See NOTES below for an explanation of the effects of unrelated logic

Total Number 4 input LUTs: 132 out of 4,704 2%

Number used as logic: 108

Number used for Dual Port RAMs: 16

(Two LUTs used per Dual Port RAM)

Number used as 16x1 RAMs: 8

Number of bonded IOBs: 44 out of 142 30%

IOB Flip Flops: 33

Number of Block RAMs: 1 out of 14 7%

Number of GCLKs: 1 out of 4 25%

Number of GCLKIOBs: 1 out of 4 25%

Total equivalent gate count for design: 20,032

Additional JTAG gate count for IOBs: 2,160

Peak Memory Usage: 130 MB

3. Vytvořit obvod, který by umožňoval otestovat vytvořené jádro z PC pomocí sériové linky.

Seriovou linku jsme programovali sami. Zvolili jsme parametry:
19200, 8, N, 1, bez řízení

Práce s přípravkem je intuitivní. Přípravek přijímá i odesílá čísla v desítkové soustavě. Zadání prvního čísla je potvrzeno stiskem '*', druhé číslo je potvrzeno '='. Přípravek průběžně posílá ozvěnu platných znaků, po druhém potvrzeném čísle pošle výsledek a CR LF.

Příklad práce v Hyperterminálu: (echo mají pouze platné znaky kromě počátečních nul)

15*20=300

85*11=935

1000*4=928

Přípravek nekontroluje přetečení na vstupu.

Komunikace přes seriovou linku je prováděna přes ser_in a ser_out. Převádějí vnější seriová data na vnitřní 8b paralelní data. Používají příznaky aktivity a řídicí signály, práce s nimi je bezproblémová a bezpečná. Na příjmu zpracuje i použití krátký stop bitů, na výstupu jsou 2 stop bity. Vstupní data jsou snímána v polovině periody, je velká tolerance vůči nepřesnému časování přijímaných dat. Pro časování výstupu je použit celý 12bit čítač, i tady je zřejmá vysoká přesnost délky signálu.

Veškeré zpracování dat je prováděno v části „bridge“. Přes interface sériové linky přijímá znaky, platným provede echo, převádí čísla z/do desítkové soustavy, komunikuje s násobičkou a odesílá výsledek. Kód zabírá něco málo přes polovinu ROM paměti P1.

Druhý PicoBlaze P2 provádí násobení. Jeho rozhraní bylo popsáno výše.

Dosažené výsledky

Při vhodném nastavení syntézy (High effort, Constraint T=18.3 ns) byla dosažena perioda 18.098ns, maximální hodinová frekvence 55.255MHz. Je tedy možné používat vnější 50MHz hodiny bez jejich dělení.

I přes použití dvou procesorů PicoBlaze je využít jen zlomek FPGA – srovnatelně jako při použití samotného mikroprogramového řešení.

Design Summary

Number of errors: 0

Number of warnings: 1

Logic Utilization:

Number of Slice Flip Flops: 232 out of 4,704 4%

Number of 4 input LUTs: 303 out of 4,704 6%

Logic Distribution:

Number of occupied Slices: 240 out of 2,352 10%

Number of Slices containing only related logic: 240 out of 240 100%

Number of Slices containing unrelated logic: 0 out of 240 0%

*See NOTES below for an explanation of the effects of unrelated logic

Total Number 4 input LUTs: 373 out of 4,704 7%

Number used as logic: 303

Number used as a route-thru: 22

Number used for Dual Port RAMs: 32

(Two LUTs used per Dual Port RAM)

Number used as 16x1 RAMs: 16

Number of bonded IOBs: 2 out of 142 1%

IOB Flip Flops: 2

Number of Block RAMs: 2 out of 14 14%

Number of GCLKs: 1 out of 4 25%

Number of GCLKIOBs: 2 out of 4 50%

Total equivalent gate count for design: 41,130

Additional JTAG gate count for IOBs: 192

Peak Memory Usage: 134 MB

Provedené testy

Testy mikroprogramů se prováděly pomocí emulátoru pBlaze. V balíku jsou přítomny některé testovací testbenche, které ale nejsou určeny pro prezentaci, protože neobsahují kontrolu chyb. Ta je ponechána na uživateli.

Doporučujeme používat testbenche "**top_tb_j.vhd**" a především "**top_tb_f.vhd**". Oba jsou jednoduše obsluhovatelné pomocí konfiguračních souborů. Programy s V0.1 nedoporučujeme.

Práce s přípravkem

Připojit přes seriovou linku k jinému zařízení, nastavit parametry přenosu a zadávat početní příklady.

Popis balíčku

Soubory *tb.vhd obsahují kód testbenche. Všechny soubory jsou popsány ve své hlavičce.